

文章编号:1671-251X(2011)09-0052-04

DOI:CNKI:32-1627/TP.20110828.1426.013

矿用高压电缆在线监测系统 CAN 总线控制器的设计

刘姝敏, 宋建成, 许春雨, 耿蒲龙

(太原理工大学电气与动力工程学院, 山西 太原 030024)

摘要:针对矿用高压电缆在线监测系统缺乏高效监测平台和可靠通信方式的现状,提出了一种矿用高压电缆在线监测系统 CAN 总线控制器的设计方案,详细介绍了该控制器的硬件电路设计、程序状态机的实现、波特率的设定及 SPI 通信的实现。该控制器以 FPGA 芯片 EP2C20F484C8 为监测核心,以 MCP2510 作为总线控制器,采用 Verilog HDL 语言编写应用程序。实验结果证明了该控制器的实时性和可靠性。

关键词:矿用高压电缆;在线监测;CAN 总线控制器;FPGA;MCP2510

中图分类号:TD61/655 文献标识码:B 网络出版时间:2011-08-28 14:26

网络出版地址:<http://www.cnki.net/kcms/detail/32.1627.TP.20110828.1426.013.html>

Research of CAN Bus Controller of On-line Monitoring System of Mine-used High-voltage Cable

LIU Shu-min, SONG Jian-cheng, XU Chun-yu, GENG Pu-long

(College of Electrical and Power Engineering of Taiyuan University of Technology,
Taiyuan 030024, China)

Abstract:For problems that there are no efficient monitoring platform and reliable communication way about on-line monitoring system of mine-used high voltage cable, the paper proposed a design scheme of CAN bus controller of on-line monitoring system of mine-used high-voltage cable, and introduced design of hardware circuit, setting of Baud rate and realization of programming state-machine and SPI communication of the CAN bus controller in details. In the CAN bus controller, FPGA chip EP2C20F484C8 is monitoring core, MCP2510 is bus controller, and Verilog HDL is programming language. The experimental result verified performances of real-time and reliability of the CAN bus controller.

Key words:mine-used high voltage cable, on-line monitoring, CAN bus controller, FPGA, MCP2510

0 引言

矿用高压电缆在线监测系统分布于煤矿井下布置高压供电系统的各巷道内,各监测点距离远。监测参量主要有电缆局部放电、线芯温度、介质损耗、

绝缘电阻、接地线电流等特征信号,系统具有分布广、参量多、参量频率高、实时性强等特点。目前,矿用高压电缆在线监测系统缺乏一种高效监测平台和可靠通信方式。鉴此,笔者采用具有时钟频率高、内部延时小、I/O 口多等优点的现场可编程门阵列(FPGA)作为监测核心,采用带强检错措施、抗干扰能力强、通信距离长的 CAN 总线作为传输方式,设计了一种 CAN 总线控制器。该控制器能够实时、可靠地将矿用高压电缆的工况信息上报矿井监控中心,防止供电事故的发生,提高供电系统的可靠性,保证矿井的安全生产。

收稿日期:2011-05-16

基金项目:“十一·五”国家科技支撑计划重点项目
(2007BAK29B05,2007BAB13B01)

作者简介:刘姝敏(1986-),女,河北保定人,硕士研究生,研究方向为电力电子与电力传动。E-mail:e0402liushumin@163.com

1 CAN 总线控制器硬件设计

1.1 CAN 通信系统总体构成

由于矿井高压电缆分布于各巷道内,故其在线监测点较多,需要设置多个 CAN 总线控制器节点组成整个矿用高压电缆在线监测系统的 CAN 通信系统。CAN 通信系统包含一个主控制器和多个从节点控制器^[1],结构如图 1 所示。该通信系统具有结构简单、连接方便、可有效降低布线长度等优点。另外,由于 CAN 总线系统是基于报文编码的系统^[2],其扩展性能较好,增加或减少 CAN 总线的节点控制器都不会影响总线上其它节点控制器的正常工作。

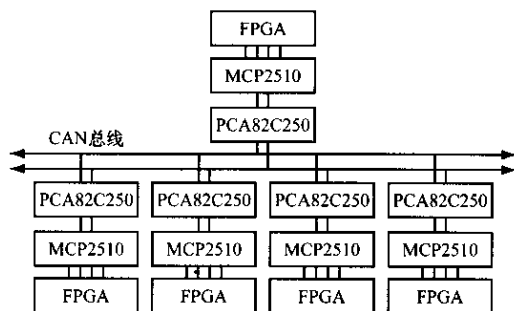


图1 矿用高压电缆在线监测系统的CAN通信系统结构

1.2 FPGA 选型

数据采集通常采用单片机或 DSP 来完成,但是对于多路数据采集系统,特别是存在高频信号的数据采集系统,由于单片机程序是顺序执行的,且时钟频率较低,故单片机难以实现快速数据采集功能;DSP 虽然有较高的时钟速率,但不能很好地处理外围设备的复杂逻辑控制。

FPGA 是在可编程器件 PAL、GAL、CPLD 等基础上进一步发展的产物,具有强大的逻辑编程优势,能使尽可能多的工作软件化,便于调试和修改,且 FPGA 具有时钟频率高、内部延时小、I/O 接口多及支持程序并行运行等优点,能够满足多路高速数据采集系统对实时性和同步性的要求。

FPGA 的主要类型有 Atmel、Actel、Lattice、Altera 和 Xilinx 等,本文采用 Altera CycloneII 系列的 EP2C20F484C8。该芯片具有成本低、功耗低、时钟频率高、体积小等特点。它有多达 315 个可用 I/O 引脚,并在外部配备 50 MHz 晶振,使时钟周期达 20 ns,很好地满足了实时性指标要求。

1.3 CAN 总线控制器选型

CAN 总线是基于分布式系统的串行通信网络,可实现点对点、一点对多点的数据传输功能,通信距离可达 10 km,最高速率可达 1 Mbit/s。CAN 总线

的每一帧数据都有 CRC 校验、总线检测、位填充等检错措施,具有高效的检错能力^[3],可以在高噪声、高干扰环境下使用,能够实时、可靠地实现分布式系统的数据传输功能。

选用 Microchip 公司生产的 MCP2510 作为 CAN 总线的控制器^[4]。MCP2510 支持 CAN 总线 V2.0A/B 技术规范,可以接收、发送 CAN 标准帧和扩展帧;具有可编程的 0~8 字节消息长度和高达 1 Mbit/s 的通信速率;有 2 个接收缓冲器和 3 个发送缓冲器;具有符合工业标准的 SPI 接口,读写速度最高可达 5 MHz。

MCP2510 主要由 CAN 总线接口的 CAN 协议模块、SPI 接口的 SPI 协议模块和对器件进行配置的控制逻辑与 SRAM 寄存器三部分组成。

1.4 CAN 总线控制器硬件电路

CAN 总线控制器硬件电路如图 2 所示。EP2C20F484C8 的 I/O 口与 MCP2510 的 CS、SCK、MISO、MOSI 四根数据线连接,实现对 MCP2510 的逻辑控制,其中 CS 为片选端;SCK 用于为通信提供时钟脉冲,在时钟的上升沿,EP2C20F484C8 向主机输出/从机输入数据线 MOSI 写入数据,在时钟的下降沿,EP2C20F484C8 读取主机输入/从机输出数据线 MISO 端口的数据。PCA82C250 为 CAN 总线驱动器,其 CAN 总线接口与 MCP2510 的 TXCAN、RXCAN 相连,为 MCP2510 提供差动收发能力。MCP2510 和 PCA82C250 通过光电耦合器 6N137 隔离,以提高 CAN 总线控制器的抗干扰能力。

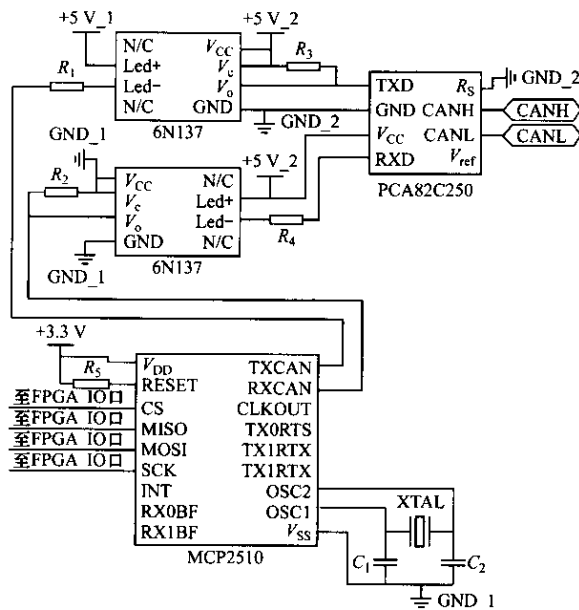


图2 CAN总线控制器硬件电路

2 CAN 总线控制器软件设计

CAN 总线控制器采用 Verilog HDL 语言编写。本文主要介绍 CAN 总线控制器程序状态机的实现、波特率的设定以及 SPI 通信的实现。

2.1 程序状态机的实现

MCP2510 在 CAN 总线控制器系统上电后处于默认的配置模式,只有初始化完成后才能保证其正常工作。系统上电后,依次复位芯片,设定芯片为配置模式,初始化报文发送缓冲寄存器,设定波特率,最后设定芯片为正常模式^[5]。在正常模式下依次写入帧 ID、帧长度及数据帧,通过写入发送请求指令即可完成数据发送。

2.2 波特率的设定

波特率是通信系统正常工作的关键,其设定的正确与否直接影响着数据传输的可靠性与准确性。在设定 CAN 总线波特率时,需要设定同步段、相位缓冲段 1 和相位缓冲段 2,涉及多个控制逻辑和 SRAM 寄存器。其中确定时间份额 T_Q 是设定波特率的关键。CAN 总线波特率可编程为 $1/(25T_Q) \sim 1/(8T_Q)$,其计算公式为

$$v_{\text{baud}} = \frac{1}{T_Q(\text{Sync} + \text{PR} + \text{Ph}_1 + \text{Ph}_2)} \quad (1)$$

式中: v_{baud} 为 CAN 总线波特率; Sync 为同步段,芯片设计为 T_Q ; PR 为传播段,可编程为 $T_Q \sim 8T_Q$; Ph_1 为相位缓冲段 1; Ph_2 为相位缓冲段 2。

T_Q 与晶振及波特率有关,其计算公式为

$$T_Q = 2T_{\text{OSC}}(v_{\text{baud}} + 1) \quad (2)$$

式中: T_{OSC} 为 MCP2510 的晶振时钟,本文选为 16 MHz。

在确定同步段、相位缓冲段 1 和相位缓冲段 2 时还应保证以下 3 点:

- (1) 传播段+相位缓冲段 1 $\geq$ 相位缓冲段 2;
- (2) 传播段+相位缓冲段 1 $\geq T_{\text{delay}}$, T_{delay} 的典型值为 $T_Q \sim 2T_Q$;
- (3) 相位缓冲段 2 $>$ 同步跳转宽度。

以设定 1 Mbit/s 波特率为例,初始化 MCP2510 时,在 CNF1 寄存器中写入 40H,将同步跳转宽度设定为 $2T_Q$,波特率预分频器设定为 0;在 CNF2 寄存器中写入 89H,将相位缓冲段 1 设定为 $2T_Q$,将传播段设定为 $2T_Q$;在 CNF3 寄存器中写入 02H,将相位缓冲段 2 设定为 $3T_Q$ 。

2.3 SPI 通信的实现

EP2C20F484C8 通过 SPI 接口对 MCP2510 的

所有寄存器进行读写。首先需要初始化 SPI 通信,在 SCK 上升沿时 EP2C20F484C8 向 MOSI 端口写入数据,在 SCK 下降沿时 EP2C20F484C8 读取 MISO 端口数据,SPI 的读、写命令时序分别如图 3、图 4 所示。

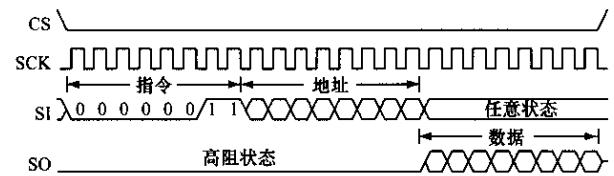


图 3 SPI 读命令时序

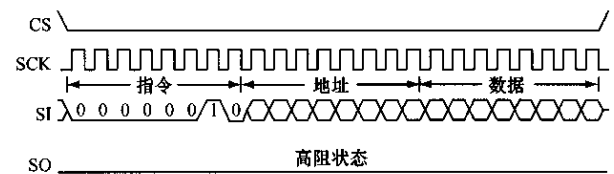


图 4 SPI 写命令时序

在 Quartus 软件中对 CAN 总线控制器编写 Verilog HDL 程序^[6],将 EP2C20F484C8 外部时钟 clk 分频得到的 1 MHz 时钟 clk_1M 作为系统时钟,rst_n 为低电平复位信号,SCK 为 SPI 串行时钟,CS 为片选信号,MOSI 为主机输出/从机输入信号。

为保证 SPI 接口通信正确,避免时钟上升沿变化时数据的不确定性,MOSI 端口上的数据将保持 2 个时钟周期,在 SCK 上升沿来临前一个时钟周期就已经写入 MOSI 端口数据,因此单字节指令至少需要 24 个时钟周期来实现,3 字节指令则需要至少 72 个时钟周期,片选信号 CS 在完成指令的时钟周期内保持低电平。

以单字节复位指令为例,实现 SPI 通信的关键程序(省略相关变量声明)为

```
//为程序提供 1 MHz 时钟
always@(posedge clk or negedge rst_n)
begin if (!rst_n) cnt_for_1M<=8'd0;
else if (cnt_for_1M>=24) cnt_for_1M<=8'd0;
else cnt_for_1M<=cnt_for_1M+8'd1;end
always@(posedge clk or negedge rst_n)
begin if (!rst_n) clk_1M_reg<=1'b0;
else if (cnt_for_1M>=24)
clk_1M_reg<=~clk_1M_reg; end
assign clk_1M=clk_1M_reg;
// 为单字节指令计数
always@(posedge clk_1M or negedge rst_n)
begin if (!rst_n) cnt_for_1byte<=8'd0;
else if(main_state==Reset)
begin if(cnt_for_1byte>=24) cnt_for_1byte<=8'd0;
```

```

else cnt_for_1byte<=cnt_for_1byte+8'd1;end
else cnt_for_1byte<=8'd0; end
//SPI 接口片选信号 CS
always@(posedge clk_1M or negedge rst_n)
begin if(! rst_n) CS_reg<=1'b1;
else if(main_state==Reset)
begin if(cnt_for_1byte>=24) CS_reg<=1'b1;
else CS_reg<=1'b0; end
else CS_reg<=1'b1; end
assign CS=CS_reg;
//SPI 接口串行时钟输入引脚 SCK
always@(posedge clk_1M or negedge rst_n)
begin if(! rst_n) SCK<=0;
else if((main_state==Reset) &&(! CS))
case (cnt_for_1byte)
10'd02:SCK<=1; 10'd05:SCK<=1; 10'd08:SCK<=1; 10'
d11:SCK<=1; 10'd14:SCK<=1; 10'd17:SCK<=1;
10'd20:SCK<=1; 10'd23:SCK<=1;
default:SCK<=0; endcase
else SCK<=0; end
//SPI 接口主机输出/从机输入信号 MOSI
always@(posedge clk_1M or negedge rst_n)
begin if(! rst_n) MOSI<=0;
else if ((main_state==Reset) &&(! CS))
case(cnt_for_1byte)
10'd01:MOSI<=1; 10'd02:MOSI<=1;
10'd04:MOSI<=1; 10'd05:MOSI<=1;
10'd07:MOSI<=0; 10'd08:MOSI<=0;
10'd10:MOSI<=0; 10'd11:MOSI<=0;
10'd13:MOSI<=0; 10'd14:MOSI<=0;
10'd16:MOSI<=0; 10'd17:MOSI<=0;
10'd19:MOSI<=0; 10'd20:MOSI<=0;
10'd22:MOSI<=0; 10'd23:MOSI<=0;
default:MOSI<=0; endcase
else MOSI<=0; end

```

3 仿真与调试

为了验证 CAN 总线控制器程序的正确性,在 Quartus 软件中对 Verilog HDL 程序进行编译,并新建一个 vwf 波形文件,添加需要观察的引脚,设定时钟参数后进行仿真,部分仿真结果如图 5 所示,其中 main_state 为状态机状态参数,SCK 为串行时钟信号。从图 5 可看出,该程序能够按照状态机的顺序执行,SPI 通信正确;CAN 总线控制器可以实现在配置模式下设定控制逻辑和 SRAM 寄存器,在配置模式结束后进入正常模式进行数据发送。程序设计时序与仿真波形一致,实现了 CAN 总线控制器功能。

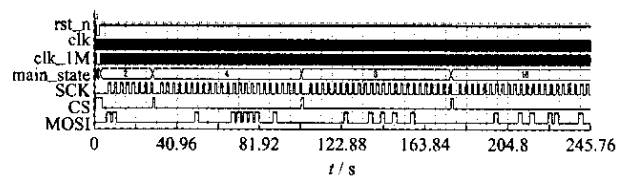


图 5 CAN 总线控制器程序仿真结果

打开 Quartus 软件,编译程序,将编译生成的 sof 文件下载到 EP2C20F484C 中,在上位机调试软件 CANTools 中将帧格式、帧类型、帧 ID、CAN 通道等参数设定为与 Verilog HDL 程序中一致。选用吉阳光电公司生产的 USB 转 CAN 总线适配器 GY8508 USB—CAN200 连接矿用高压电缆在线监测系统的上位机与 CAN 总线,在上位机 CANTools 中可观察 CAN 总线发送的数据。经硬件与软件联调实验验证,上位机显示的数据准确、有效。

4 结语

基于 FPGA 的 CAN 总线控制器作为矿用高压电缆在线监测系统通信部分的核心器件,其硬件可靠,软件合理,能实时、准确地传输监测数据,缩短了布线距离,降低了系统成本,达到了在线监测矿用高压电缆的目的,可有效提高井下供电系统的可靠性,同时也为分布式系统的通信提供了一种新方法。

参考文献:

- [1] WAN Xiaofeng, XING Yisi, CAI Lixiang. Application and Implementation of CAN Bus Technology in Industry Real-time Data Communication [C]// International Conference on Industrial Mechatronics and Automation, 2009, Chengdu; 278-281.
- [2] 郭宽明. CAN 总线原理和应用系统设计[M]. 北京:北京航空航天大学出版社, 1996.
- [3] LIU Yanxia, LI Shufen, SONG Yuqiu. Application of Can-bus in Embedded Vehicle Body Control System [C]//WASE International Conference on Information Engineering, 2009, Taiyuan; 261-264.
- [4] CAI Qizhong, GUO Yifeng, CHEN Wenhei, et al. A Programmable Controller Based on CAN Field Bus Embedded Microprocessor and FPGA[C]//Proceedings of SPIE-The International Society for Optical Engineering, 2008, Beijing; 712919. 1-712919. 6.
- [5] 王继国,孙新亚. CAN 控制器芯片 MCP2510 在远程监测系统中的应用[J]. 电子技术应用, 2004(4): 77-80.
- [6] 夏宇闻. Verilog 数字系统设计教程[M]. 北京:北京航空航天大学出版社, 2003.